

## Ejercicio 8:

8) Dando al bus sincronismo de 50MHz, 32 líneas de direcciones y datos:

a) Se tiene que 50.000.000 ciclos — 1s

$$1 \text{ ciclo} \text{ — } t = \frac{1}{50.000.000} \text{ s} = 0,02 \times 10^{-6} \text{ s} = \underline{20 \text{ ns}}$$

Que es máx capacidad = frecuencia del clk  $\times$   $\frac{\text{bits de transferencia}}{\text{ciclos de transferencia}} = 50 \text{ MHz} \times \frac{32 \text{ b}}{5 \text{ ciclos}} =$

$$= \frac{50.000.000 \text{ ciclos}}{1 \text{ s}} \times \frac{32 \text{ b}}{5 \text{ ciclos}} = 320 \times 10^6 \frac{\text{b}}{\text{s}} \cdot \frac{10}{8 \text{ b}} \cdot \frac{1 \text{ KB}}{1024 \text{ B}} \cdot \frac{1 \text{ MB}}{1024 \text{ KB}} \approx \underline{38,147 \text{ MB/s}}$$

b) El bus debería al menos tener las líneas que hacen que al master le indique al

slave que se desea realizar una transferencia (llamase req) y otra que al slave le indica al master que la operación fue procesada (llamase ack). Según si la operación de transferencia es siempre la misma o no, puede que una señal que indique al tipo de operación no sea necesario (r/w).